

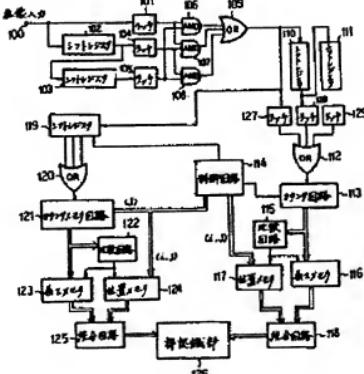
FRAME RECOGNIZING SYSTEM

Publication number: JP59142678
 Publication date: 1984-08-15
 Inventor: SAKURAI AKIRA
 Applicant: RICOH KK
 Classification:
 - International: G06K9/00; G06K9/00; (IPC1-7): G06K9/00
 - European:
 Application number: JP19830016623 19830203
 Priority number(s): JP19830016623 19830203

Report a data error here

Abstract of JP59142678

PURPOSE: To recognize surely even an unshaped frame by extracting a long segment as a frame line candidate from a picture OR reduce in each scanning direction after the majority processing to make the picture hardly affected by noise. **CONSTITUTION:** A binary picture signal is inputted to an input terminal 100 in a picture unit. This binary picture signal is inputted directly to a latch circuit 101 and is inputted to latch circuits 104 and 105 after being delayed by the on-line length. The output signals of circuits 101, 104, and 105 are subjected to the majority processing, and the output is outputted from an OR circuit 109. Or between the output signal of this circuit 109 and a signal attained by delaying this signal by the one-line length is ORed in an OR circuit 112 through latch circuits 127-129 and is inputted to counter circuit 113. A control circuit 114 enables 3 the circuit 113 for one scanning time and is ORed for the scanning lines in the subscanning direction to reduce them to one scanning line. An integrating circuit 118 integrates a black run, which can be regarded as one long segment, out of the extracted black runs in the main scanning direction. The similar operation is performed in the subscanning direction.



Family list1 family member for: **JP59142678**

Derived from 1 application

[Back to JP5914](#)**1 FRAME RECOGNIZING SYSTEM****Inventor:** SAKURAI AKIRA**Applicant:** RICOH KK**EC:****IPC:** G06K9/00; G06K9/00; (IPC1-7): G06K9/00**Publication info:** **JP59142678 A** - 1984-08-15

Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-142678

⑬ Int. Cl.³
G 06 K 9/00

識別記号

府内整理番号
Z 6619-5B

⑭ 公開 昭和59年(1984)8月15日

発明の数 1
審査請求 未請求

(全 5 頁)

⑮ 特許認方式

6号株式会社リコー内

⑯ 特 願 昭58-16623

⑭ 出願人 株式会社リコー

⑯ 出 願 昭58(1983)2月3日

東京都大田区中馬込1丁目3番

⑯ 発明者 桜井彰

6号

東京都大田区中馬込1丁目3番

⑯ 代理人 弁理士 鈴木誠

明細書

1. 発明の名称

特許認方式

2. 特許請求の範囲

(1) 2値画像上の主走査方向と副走査方向の長縦分を抽出し、特許としての主、副各走査方向の2対の長縦分を判別することにより特許を認識する特許認方式において、2値画像の各走査ラインについて複数の複数走査ラインとの間で各画素の状態の多数決定処理を施し、この多数決定処理後の2値画像に複数走査ライン間に主走査方向へ論理和処理することにより、副走査方向に縮小した2値画像を得るとともに、上記多数決定処理後の2値画像を複数画素毎に主走査方向へ論理和処理することにより主走査方向に縮小した2値画像を得、主走査方向の長縦分を上記の副走査方向に縮小した2値画像より抽出し、副走査方向の長縦分を上記の主走査方向に縮小した2値画像から抽出することを特徴とする特許認方式。

3. 説明の詳細な説明

【技術分野】

本発明は、映像や文書などの2値画像上の特許を認識する方式に関する。

【従来技術】

2値画像上の特許を認識する方式としては、①特許のコーナ部に相当するパターンをマスクによるパターンマッチング処理で検出し、検出したパターンのうち所定の位置関係を満足するものを選別することによつて、特許を認識する方式、②縦分を追跡し、閉ループとなる縦分の軌跡の形状を判定することにより特許を認識する方式、③主、副各走査方向の長縦分を抽出し、特許としての主、副各走査方向の2対の長縦分を判別することにより特許を認識する方式、の8方式が代表的である。

しかし、上記の方式①は、印刷された特許のようにな形の整った特許の認識には適用できるが、手書き特許のように変形の大きな特許の認識に適用すると認識率の低下が著しい。つまり、認識対象の自由度が少ないとといふ欠点がある。方式②は、軌跡の切断等のノイズ、スキー（傾き）の影響を受けや

すぐ、また比較的大容量の画像パッファが必要で処理時間も長くなりやすい欠点がある。

上記方式③としては、発明者は2値画像を主、周囲走査方向に論理処理して、周囲走査方向に縮小し、縮小画像から差分を抽出することにより、高速処理を容易にし、かつスキューの影響を受けにくくした改良方式を既に提案している(特開昭57-10488号)。しかし、ファクシミリ画像等を処理する場合に、誤認識を起こすことがあつた。即ち、ファクシミリ画像などの伝送画像においては、主走査方向の"黒すじ"がノイズとして発生しやすく、この"黒すじ"を差分として抽出する結果、本来の枠が分断されて認識される場合があつた。

【目的】

本発明の目的は、大容量の画像パッファを必要とすることなく高速処理が可能で、"黒すじ"等のノイズやスキューの影響を受けにくく、手書き枠などの変形した枠の認識にも適用可能な特認方式を提供することにある。

より具体的には、本発明は上記方式③を改良し

回

のではなく、例えば5走査ラインで多数決をとるようにしててもよい。基本的には、枠認識の精度に応じて多数決をとる走査ライン数を決めることができる。ファクシミリ画像で発生する"黒すじ"は一般に1画面の本数であり、上記多数決処理により除去できる。

多数決処理回路のオア回路100の出力信号と、それを1ライン長のシフトレジスタ110, 111で選択した信号は、ラツチ回路127, 128, 129を介してオア回路112に入力され論理組合がとられる。このオア回路112の出力信号はカウンタ回路113に入力される。このカウンタ回路118は別御回路114でイネーブルされている期間において、入力信号が"0"から"1"に遷移してから画面クロックのカウントを開始し、入力信号が"1"から"0"に遷移するとカウント値を出力した後、リセットする。即ち、別御回路114でカウンタ回路118がイネーブルされている期間のみ、オア回路112の出力信号が有効となる。このタイミング制御について、第2図により説明する。

た特認方式を提供しようとするものである。

【実施例】

第1図は、本発明の一実施例を示す概略プロック図である。

特認方式の対象となる2値画像の信号は入力端子100に画素単位にシリアルに入力される。この2値画像信号はラツチ回路101に直接入力され、また1ライン長のシフトレジスタ102, 108によつてそれぞれ選択された後にラツチ回路104, 105に入力される。したがつて、2値画像の連続する8走査ラインの同一位置の画素信号(本実施例では黒は"1"、白は"0")がラツチ回路101, 104, 105にラツチされる。

ラツチ回路101, 104, 105の出力信号はアンド・回路106, 107, 108とオア回路109から成る多数決回路に入力され、多数決処理が施される。即ち、ラツチ回路101, 104, 105のうち2つ以上の出力信号が"1"の場合のみ、オア回路109の出力信号が"1"になる。なお本実施例では8走査ラインについて多数決処理を施しているが、これに限るも

回

第2図の $S_{l,j}$ は入力2値画像上の画素であり、 i は周囲走査方向の番地(走査ライン番号)、 j は主走査方向の番地である。上記の多数決処理の前後の画素の位置は1対1に対応している(つまり、縮小はなされていない)。別御回路114は、 $i=0$ と $i=1$ の走査ラインの多数決処理信号がシフトレジスタ110, 111に蓄積し、 $i=2$ の多数決処理信号が多数決処理オア回路100から出力される時点からカウンタ回路118を1走査ライン期間イネーブルし、オア回路112の出力信号を有効にさせる。同様に、次の8走査ラインの最後の走査ライン($i=5$)でオア回路112の出力信号を有効にさせる。以下同様の割合により、実質的に多数決処理画像を8走査ライン毎にブロッケ化し、各ブロックの8走査ラインを周囲走査方向に論理和して、1走査ラインに縮小する。このようにして周囲走査方向に縮小した画像上の画素が第2図の $V_{l,j}$ であり、 i は周囲走査方向の番地、 j は主走査方向の番地である。 $V_{l,j}$ の j は $S_{l,j}$ と1対1に対応しており、 i は $i=0 \sim 2$ で $i=0$ が、 $i=3 \sim 6$ で $i=1$ が対応する。

なお、縮小倍率は $1/8$ に限るものではない。

回

さて第1図に戻り、カウンタ回路118は前述から明らかなように、前走査方向に縮小された画像の各走査ライン上における黒ランの長さ(ランレンジス)をカウントし、出力する。比較回路115はカウンタ回路118から出力されるランレンジスを所定値 l_{u} と比較し、 l_{u} 以上のときに審込み信号を長さメモリ116と位置メモリ117へ送出する。長さメモリ116は審込み信号を受けると、カウンタ回路118から出力されているランレンジスのデータを内部に格納する。また、位置メモリ117は前側回路114から審込み信号を受けると、カウンタ回路118から出力されているランレンジスのデータを内部に格納する。また、位置メモリ117は前側回路114から縮小画像の番地 I 、 J が人力されており、審込み信号を与えた時の番地 I 、 J のデータを内部に格納する。即ち、入力2値画像を多数決処理し、さらに輪郭抽出処理によって前走査方向に縮小した画像上の黒ランのうち、 l_{u} 以上のランレンジスを持つ黒ランのランレンジス・データと、その黒ランの終端(右端)の番地データが長さメモリ116と位置メモリ117に格納される。

118は統合回路であり、長さメモリ116と位置メモリ117に格納されているデータを参照し、上

図1

ない。

前走査方向の長幅分の抽出も同様であり、以下説明する。

多数決回路のオア回路109の出力信号は、8ビットのシフトレジスタ119に脈次入力され、8箇所分割されるたびに制御回路114から出力タイミングが送出され、シフトレジスタ119はその内容を並列出力した後、リセットする。このシフトレジスタ119の出力信号はオア回路120で論理和され、主走査方向に縮小した画像信号がカウンタメモリ回路121に入力される。

第2図の $H_{i,j}$ は主走査方向に縮小した画像上の画素であり、 i は $S_{i,j}$ の1と1対1に対応しており、 J は $S_{i,j}$ の $j=0 \sim 2$ が $J=0$ 、 $j=3 \sim 5$ が $J=1$ に対応している。

なお、縮小倍率方に限られるものではない。

第1図に戻つて、カウンタメモリ回路121はカウンタ機能と、番地 J の最大値に相当するメモリ番地を持つメモリとしての機能を備えている。即ち、カウンタメモリ回路121は、制御回路114から与え

るのようにして抽出された主走査方向の黒ランのうち、1本の長幅分とみなしある黒ランを統合する処理を行う。即ち、 $I = k$ の黒ランと、 $I = k$ または $I = k+1$ の他の黒ランとが互の終端と始端、または始端と終端との主走査方向の距離がある値 m 以下のとき、それら黒ランを1つの黒ランに統合する。なお、黒ランの始端位置と終端番地とランレンジスからわかる。例えば、図8(a)、(b)、(c)にそれぞれ示す1対の黒ランは統合される。そして統合回路118は、統合した黒ラン、つまり主走査方向の長幅分の先端と終端の番地を求め、出力する。

このように、細胞細小した画像から抽出した黒ランを統合して主走査方向の長幅分を抽出するから、スクエアにより全体的に細いた長幅分も、ノイズによって局所的に切れたり、輪郭が変化したり、また手書き字の字縁のように多少曲つた長幅分も確実に抽出できる。しかも、前述のように多数決処理によって“黒すじ”は除去されるため、“黒すじ”を長幅分と誤つて抽出することも

図2

られる番地 J の値が切り替わった時に(この時に、シフトレジスタ119の内容が出力される)、オア回路120の出力信号が“1”であれば、メモリ番地 J の記憶内容に1を加算する。また、オア回路120の出力信号が“0”的時は、メモリ番地 J の記憶内容を出力した後、同メモリ番地の記憶内容をクリアする。つまりカウンタメモリ回路121は、主走査方向に縮小した画像上において、前走査方向の黒ランを抽出してそのランレンジスを求め、黒ランの終端(下端)を検出すると、そのランレンジスを出力する回路である。

比較回路122はカウンタメモリ回路121から出力されるランレンジスをある値 l_{u} と比較し、値 l_{u} 以上であれば審込み信号を送出する。この審込み信号が出ると、長さメモリ123はカウンタメモリ回路121から出力されるランレンジス・データを内部に格納する。また位置メモリ124は、審込み信号が出ると、制御回路114から与えられる番地 I 、 J のデータを格納する。統合回路125は長さメモリ123と位置メモリ124の記憶データを参照

し、抽出された副走査方向の黒ランについて前述の統合回路 118 と同様の統合処理を行う回路である。即ち、 $J=k$ の黒ランと、 $J=k$ または $J=k \pm 1$ の他の黒ランとが、互の終端と始端、または始端と終端との副走査方向の距離がある値以下のことき、それら黒ランを 1 つの黒ランに統合し、統合した黒ラン（副走査方向の長継分）の始端と終端の番地を出力する。

このように、処理を縮小した画像から抽出した黒ランを統合し、副走査方向の長継分を抽出する、から、スキュエーにより全体的に横いた長継分も、ノイズによって局所的に途切れたり継縫が変化したり、手書き枠の枠縫のように曲つた長継分も確実に抽出できる。

以上のようにして抽出された主、副各走査方向の長継分は枠縫の候補であり、それぞれのデータは枠縫部 126 に入力される。この枠縫部 126 は、入力される枠縫候補としての長継分の相対位置関係を調べ、1 つの枠を構成する主走査方向の 1 対の長継分と副走査方向の 1 対の長継分を判別

し、枠の横縫を認識する。この枠認識の処理は前述の特開昭 57-104863 号公報に詳述したと同様の手順でよく、また本発明の要點ではないので、詳細な説明は省略する。

〔効果〕

以上詳述した如く、本発明は多段決処理を施した後、主、副走査方向に論理相縮小処理した画像から枠縫候補としての長継分を抽出するから、スキュエー“黒すじ”等のノイズの影響を受けにくく、印刷された枠のみならず手書き枠などの形状の整わない枠も確実に認識することができ、しかも前記実施例から明らかなように、大容量の画像バッファを用いることなく安価に高速処理を達成できる等の効果を有するものである。

4. 図面の簡単な説明

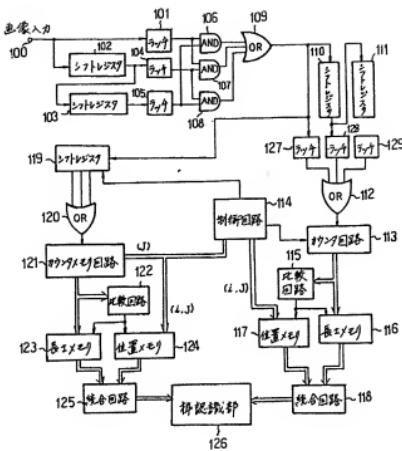
第 1 図は本発明の一実施例を示す断面プロット図、第 2 図は画像の縮小を説明するための図、第 3 図は統合される継分の例を示す図である。

102, 108, 110, 111, 119 … シフトレジスタ、
101, 104, 105, 127, 128, 129 … ラッチ回路、

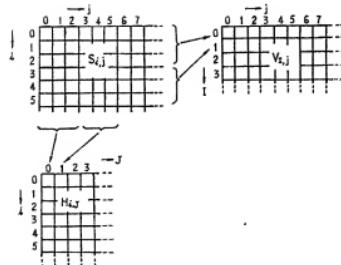
118 … カウンタ回路、 116 … 割御回路、 115, 122 … 比較回路、 116, 128 … 長さメモリ、 117, 126 … 位置メモリ、 118, 125 … 統合回路、 121 … カウンタメモリ回路、 126 … 枠縫部。



方 1 図



方 2 図



方 3 図

